# ここから始める アナ・ディジ混載設計

デバイスの記事



## 第6回 オーバサンプリング技術とΔ-Σ変調器の構成

湯川 彰

**今回は，オーバサンプリングを用いるΔ-Σ（デルタ・シグマ）変調技術について解説する．Δ-Σ変調はCMOS回路に向いた方式で，1980年代後半から盛んに使われるようになった．電話音声，オーディオに始まり，最近では精密計測や電力メータ，無線通信などにも応用されている．ここではΔ-Σ変調器の動作原理，および構成例について説明する．（編集部）**

今まで述べてきたA-DコンバータとD-Aコンバータは，アナログ量の瞬時値をバイナリ表現のディジタル値に1対1で対応させるものでした．このようなコンバータをナイキスト・レート・コンバータ（Nyquist rate data converter）と呼びます．これに対して，今回紹介するオーバサンプリング技術は，アナログ信号と，バイナリ表現のデータの並びで表現されたディジタル信号の間を，少ないビット数（通常は1ビットの符号列）でインターフェースする技術です．少ないビット数で表現する代わりに，本来のナイキスト周波数よりはるかに高い周波数でサンプリングを行います．そのため，「オーバサンプリング」と呼ばれます．

1ビットでディジタル表現したとき，個々のサンプリング時点での値は大きな意味を持ちませんが，データの並びとしてアナログ波形を忠実にディジタル表現します．ここで，0から1までの間の値を‘1’と‘0’の2値のパルス列で表現することを考えてみます．例えば0.5では，ある期間を見たとき，‘1’と‘0’が半分ずつの割合で出力されるようすをイメージしてください．0.5より大きいときには‘1’の割合を多くします．さらに，‘1’と‘0’を出力する順番に規則性を持たせることで，単に出現頻度の違いによって達成できる精度をはるかに上回る高い精度を実現できます．これがΔ-Σ（デルタ・シグマ）変調技術です．

これらの技術は，最近，急速に応用範囲を広げています．以前は，ごく限られた専門家が扱う世界でした．しかし，LSIの微細化が進み，ディジタル回路の集積度が飛躍的に高くなった現在では，アナログ-ディジタル・インターフェースを設計する際の有力な選択肢の一つになっています．

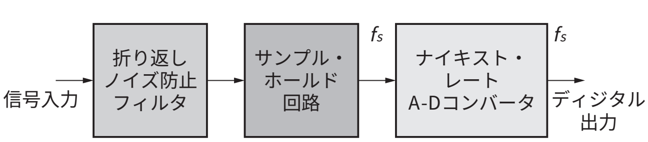



**図1 ナイキスト・レート・コンバータの構成**

A-Dコンバータの前に折り返しノイズの発生を防ぐフィルタを配置し，そのあと変換期間中，一定電圧を保持するサンプル・ホールド回路を置き，A-D変換を行う．ナイキスト周波数と通過帯域の上限の周波数が近いので，折り返しノイズ防止フィルタに急しゅんな特性が必要で，次数の高いフィルタが必要になる．このフィルタのひずみ率の仕様は，A-Dコンバータの分解能に応じて小さい値にする．

### ● 折り返しノイズ防止フィルタをディジタル化

この技術を使うとき，周りの回路やその仕様も変更する必要が出てくるので，ここではまず，システム構成の話から始めましょう．

従来用いられてきたナイキスト・レート・コンバータを用いるとき，信号帯域とナイキスト周波数は近接しています．そこで，A-D変換するときは，折り返しノイズの発生を防ぐため，カットオフ特性の良いフィルタをサンプル・ホールド回路の前に置き，必要な信号対ノイズ比が得られる分解能と精度を持つA-Dコンバータを接続する構成をとります（**図1**）．

フィルタのカットオフ特性を良くするためには，伝達関数の次数を高くする必要があり，必然的にアナログ回路の規模が非常に大きくなります．また，カットオフ周波数の精度を確保するのもたいへんです．さらに，サンプル・ホールド回路のもっとも厳しい動作条件は，正弦波の正のピ

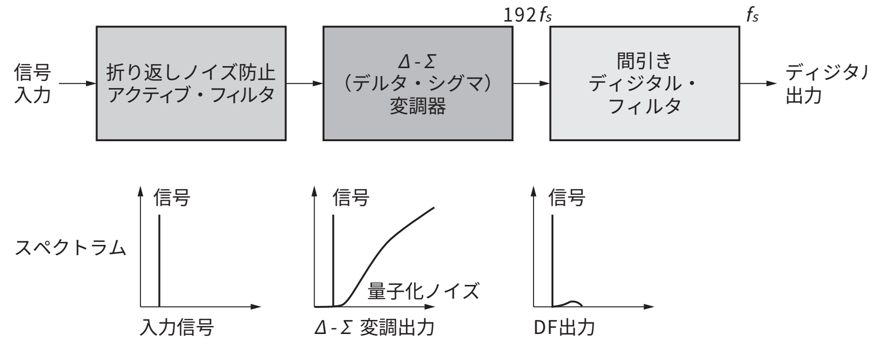



**図2**
**オーバサンプリングA-Dコンバータの構成**
**ナイキスト周波数が信号周波数の上限よりはるかに高い周波数になるので，折り返しノイズを防ぐフィルタは簡単で済む．その代わり，Δ-Σ変調したあとにディジタル・フィルタを用いて信号帯域以上のノイズ成分を除いたあと，高速なデータを間引いて所望のサンプリング周波数のデータを得る．ちょうど高精度のアナログ・フィルタをディジタル・フィルタに置き換えた構成になる．**

ークをサンプリングした次の周期で負のピークをサンプリングする場合です．このときも，A-Dコンバータの分解能に合わせた精度でサンプリングできなければなりません．これを実現するためのアナログ回路に対する利得や帯域幅などの制約条件は，A-Dコンバータの分解能が高くなるほど厳しくなります．

これに対して，オーバサンプリングA-Dコンバータでは，まず，アナログ信号を簡単なプレフィルタに通して，ナイキスト周波数以上のノイズを除去します(**図2**)．このときの制約条件は，最終的に必要な信号帯域内を減衰させないことです．次に，Δ-Σ変調器により，高いサンプリング周波数で1ビットもしくは少数ビットのディジタル値に変換します．このときに量子化ノイズが生じますが，Δ-Σ変調器の作用により，信号帯域外の周波数に偏って分布します．さらに，ディジタル・フィルタによって，このデータから必要な周波数帯域の成分だけを抜き出し，最終的に必要な分解能のディジタル信号に変換します．量子化ノイズの大半は，この時点で除去されます．最後に，本来必要とされるサンプリング周波数になるように，データをいくつおきかに出力します．信号を間引くことで，高い周波数のノイズは折り返されて信号帯域に混入します．このノイズが十分小さくなるように，前もってディジタル・フィルタで帯域外ノイズを減衰させておくわけです．

信号帯域の上限とオーバサンプリング周波数は大きく違っているので，アナログの折り返しノイズ防止フィルタの特性はなだらかな特性でよく，普通は1次ないし2次のフィルタで十分です．また，サンプリング周期が非常に短いので，連続するサンプリング間の入力信号の変化は小さいのが普通です．ですから，サンプリング回路の動作周波数は高いのですが，アナログ回路に要求される特性はナイキスト・レート・コンバータと比べて格段に緩和されます．

### ● オーディオ用D-A変換は25年前からオーバサンプル

D-A変換についても，イメージ信号[注1]除去のためのフィルタに要求される性能はA-Dコンバータの場合と同じことが言えます．

ところで，オーディオ用D-Aコンバータでは，ナイキスト・レートD-Aコンバータを用いた時代でもオーバサンプリング技術が用いられていました．もう25年くらい前の話になります．当時のCDプレーヤではΔ-Σ技術は使われていませんでしたが，「8倍オーバサンプリング・ディジタル・フィルタ搭載」がキャッチ・フレーズでした．係数がフィルタ・タップの中心に対して対称であるFIRディジタル・フィルタ[注2]は群遅延ひずみを発生させない特徴があります．そこで，サンプリング・レートを8倍にするFIRディジタル・フィルタを搭載することで，イメージ信号除去のためのアナログ・フィルタのカットオフ特性を緩和し，群遅延ひずみの少ないCDオーディオになっていると主張したわけです．最近は低コストが強く求められるうえ，位相ひずみに対する人の聴覚感度が低いせいもあって，群遅延ひずみはそれほど重要視されなくなっています．それでも，アナログ・フィルタを簡単な回路で済ませるためにオーバサンプリングのディジタル・フィルタは必要で，IIRディジタル・フィルタに簡略化して搭載されています．

オーバサンプリングD-Aコンバータの構成を**図3**に示し

注1：D-A変換を行ったとき，ナイキスト周波数($f_B$)までに分布する本来の信号のほかに，$f_B$より高い周波数にも$f_B$を周期として同じ分布を持つ信号成分が現れる．これをイメージ信号と呼ぶ．

注2：ディジタル・フィルタは，大きく分けて2種類ある．一方はFIRフィルタで，信号経路に遅延線を設け，遅延線のタップの信号を重み付けして足し合わせる．FIRはfinite impulse responseの略で，有限時間内にインパルス応答が収束することを意味する．FIRフィルタの重み付けにおいて，タップの中心に対して対称な係数を持つフィルタは，群遅延ひずみを発生させない特徴がある．もう一方はIIR(infinite impulse response)フィルタで，遅延した信号に係数をかけて入力側にフィードバックする．インパルス応答が無限に繰り返される応答特性を持つ．

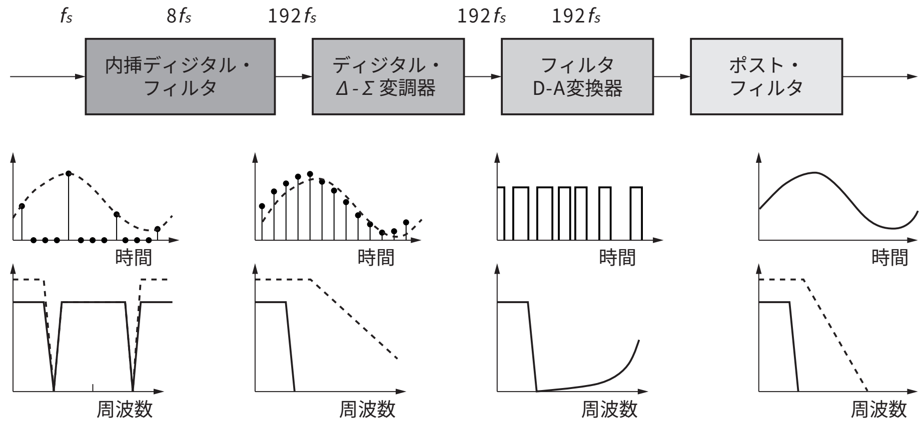



**図3**
**オーバサンプリングD-Aコンバータの構成**

入力データのサンプリング周波数を内挿ディジタル・フィルタによって上げたあと，Δ-Σ変調する．このデータをフィルタ作用を兼ね備えたD-Aコンバータによってアナログに戻し，アナログ・フィルタによって滑らかな波形にする．

ます．まず，バイナリ符号で表現された信号列の間に‘0’を挿入して，サンプリング周波数を上げます．ここで，信号のスペクトラムは，元のサンプリング周波数を周期として繰り返すイメージ信号を伴ったものとなります．この信号をディジタル・フィルタに通すと，元のナイキスト周波数以上にあるイメージ信号が除去された高いサンプリング周波数の信号となります．そのあと，ディジタルのΔ-Σ変調器に通し，1ビットもしくは少数ビット・データに変換します．ここでディジタル信号の領域で量子化を行っていることになりますが，A-Dコンバータのときと同じように，量子化ノイズはΔ-Σ変調器の作用により信号帯域外の高い周波数に偏って分布するため，信号帯域内のノイズはほとんど増加しません．これをD-A変換してアナログ信号を得ます．そのあと，アナログ・フィルタでΔ-Σ変調を行ったときに混入した信号帯域外のノイズを除去します．

## ● 1980年代後半の1μmプロセス前後から実用化

こうしたオーバサンプリング技術は，部品の精度が良くない時代になんとか精度の高いディジタル信号とのインターフェースを実現しようという目的で研究された技術です．あまり精度の良くない部品で，高い分解能のA-D/D-Aコンバータを実現することを目ざした方式なので，MOS集積回路にはうってつけの技術と言えます．また，フィルタをディジタル化することで，アナログ回路規模を削減できるだけでなく，アナログ・フィルタでは実現できないフィルタ特性も実現できます．例えば，位相ひずみを生じないフィルタ特性を実現することなどです．

実用化のための研究がスタートしたのは1950年代と早かったのですが，フィルタのディジタル化がハードウェア量の著しい増大を招くということで，なかなか実用化されませんでした．1980年代の後半に集積回路の最小線幅が1μm前後となり，ディジタル・フィルタをかなり小さい面積で実現できるようになってから，ようやく実用化されました．

まず，サンプリング周波数が8kHzの電話音声や44.1kHzまたは48kHzのオーディオ信号の用途で，ナイキスト・レート・コンバータを置き換える形で使われ始めました．最近では，それよりサンプリング周波数の低い精密計測や電力メータなど，高いほうは2MHzの無線通信の受信機にまで用途を広げつつあります．

また，変わったアプリケーションとして，「バンドパスΔ-Σ」と呼ばれるものがあります．これは，例えばFM信号のIF（中間周波数）である10.7MHzを中心に100kHz程度のバンド幅の信号を高分解能で変換するものです．このほか，PLL[注3]などにも適用されています．

## ● いろいろな視点で見ることがたいせつ

オーバサンプリングのカテゴリに属する技術は，ふだん私たちが思い浮かべるディジタル値とアナログ値が1対1に対応している世界ではないので，直感的に理解することは難しいと思います．また，1ビットのデータ列が16ビットの精度を表現していると言われても，困惑するばかりでしょう．これらの事実は，今までみなさんが接してきた概

注3：低い周波数の基準となるクロック信号から，このクロックと同期した高い周波数のクロックを発生させる回路．通常，高い周波数のクロックを分周する回路，分周されたクロックと基準クロックの位相を比較して位相差を出力する回路，位相差情報の低周波成分を抜き出すフィルタ，このフィルタ出力で制御される電圧制御発振器から構成される．普通は分周比は一定値として整数倍の周波数を発生させるが，分周比をつねに変更することにより，整数比ではない周波数を発生させるものもある．この分周比を決めるときにオーバサンプリング技術が用いられる．

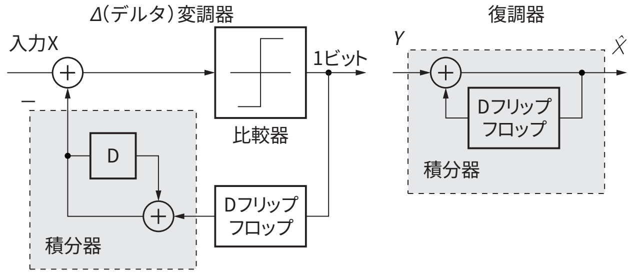



**図4　Δ変調器の信号線図**

**Δ変調器は，比較器，Dフリップフロップ，1ビットD-Aコンバータ，積分器により構成される．復調器は，Δ変調器のフィードバック部分にある1ビットD-Aコンバータと積分器により構成される．**

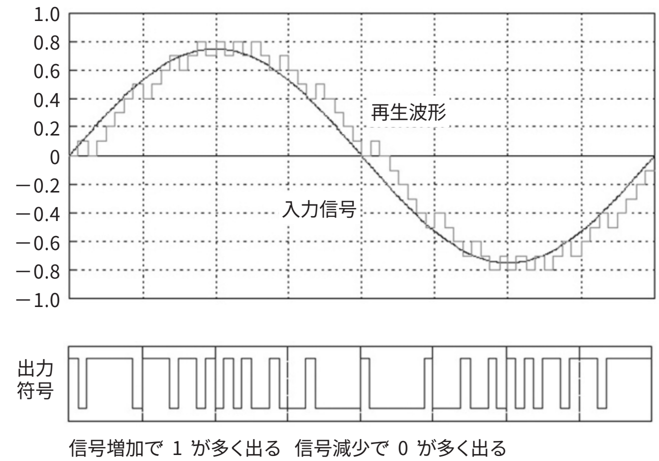



**図5　1次Δ変調器の各部の波形**

**積分器の出力波形は，入力信号の正弦波を追いかける応答を示す．ディジタル出力は，入力信号が増加するとき‘1’を出力する割合が多くなり，減少するとき‘0’を出力する割合が多くなる性質がある．**

念からずれるものです．人が新しい知識を獲得する際には，その人がそれまで持っていた知識と矛盾がない形で関連づけて記憶するものです．ですから，オーバサンプリング技術についても合理的な関連づけが必要でしょう．

この技術を説明する手順としては，3通り考えられます．

第1の方法は，歴史的な経緯に沿って説明する方法です．順番としては，まずΔ変調と呼ばれる方式から入ることになります．最終ゴールはΔ-Σ変調器ですから，ちょっと回りくどいかもしれません．しかし，アナログ的な内部の回路動作が積分型のA-Dコンバータにより近いので，ハードウェアとその動作をイメージしやすいと思います．

初めて設計するときや特性を改善するとき，思ったような結果が得られないときは，動作原理に戻ってチェックすることが必要です．筆者も大昔に手がけたときはΔ変調から入りましたが，なかなか理解できませんでした．その状態で過去に回路例のないMOS回路で作るときは，回路知識が乏しかったせいもあり，どのような回路を使うか，ああでもない，こうでもないと苦しんだ記憶があります．

第2の方法は，Δ-Σ変調器のふるまいをあたりまえのものとし，要求された仕様を満たすために必要な知識に限定して説明する方法です．例えば，アクティブ・フィルタの設計では，フィルタ関数に関連する回路網理論の勉強から始めて具体的なフィルタへ話を展開する人はほとんどいないでしょう．フィルタの形式は与えられているものとし，フィルタ・テーブルを参照して定数を決め，あとはシミュレーションで確認して設計完了，といった感じでしょうか．基本的な形式は確定していて，あとは目的にあった定数設計を残すだけという局面なら，これで十分でしょう．最近の教科書はこの方法が多くなってきたと思います．技術が成熟してくると，これで十分な局面が増えていくのでしょう．

第3の方法は，純粋に数学的な論理で攻める方法です．このアプローチは高次の変調器を設計するうえで欠くことのできない方法で，現在の研究開発はこの視点からなされていると思います．電子回路のふるまいの大部分は伝達関数で記述できます．また，解析方法も数多く整備されてきたので不つごうはないと言えます．ただし，数学的な論理を構成するために，解析する対象を単純化したモデルが必要です．単純化するときには近似が入り，それを適用できる範囲に制限が付くのが普通です．注意しないと，実際の適用局面で存在する制限を無視してしまい，計算で求めた特性のとおりにならないことがあります．このようなことが生じるので，オーバサンプリング技術はまだ研究の対象となっているとも言えます．

今回は，第1の方法でイメージ作りを試みたいと思います．

### ● オーバサンプリング技術はΔ変調に始まる

オーバサンプリング技術は，1947年に考案されたΔ変調器がルーツです．もともと，電話をノイズに強いパルス通信で実現する手段として考案されたものです．文献によれば，当時の回路の積分器は*CR*積分器でした．しかし，そこまでさかのぼってしまうと，現在使われている回路のイメージとずれてしまうので，原理を抽象化した**図4**の信号線図と**図5**の波形を用いて説明します．

Δ変調器は，1サンプリング前の時点までのA-D変換結果を保持する役目をする積分器の出力と入力信号を比較します．そして，入力信号のほうが大きければ‘1’を出力す

るとともに，このデータをDフリップフロップで保持し，積分器の1サンプル前の値に1ステップ足した電圧を出力して次のサンプリングに備えます．入力信号のほうが小さいときは‘0’を出力して，積分器は1ステップ減らします．

信号を再生する際には，変調器の中にあるものと同じ構成の積分器に出力された1ビット符号を入力すれば，送信側の積分器と同じ信号が得られるというわけです．積分器は，ディジタルの場合はDフリップフロップと加算器で構成しますが，純アナログで構成するときはミラー積分器が典型的な回路となります．**図5**の出力パルスは，入力の正弦波信号が増加するときに‘1’の割合が多くなり，減少するときには‘0’の割合が多くなっています．また，フィードバック積分器の出力波形からわかるとおり，このフィードバック・ループは入力信号を追いかけて，誤差が最小になるように動作しています．

**図4**の信号線図の中の積分回路として，**図6**に示すOPアンプ(演算増幅器)を用いたスイッチト・キャパシタ回路が考えられます．この積分回路の動作は，まず比較器出力が論理‘1’なら，**図6**に示した状態の接続にします．すると，$C_1$には$-C_1V_R$の電荷が蓄えられます．次に，クロック・スイッチを逆側に倒すと$V_R$が0に変化するとして，$n$番目と$n+1$番目のサンプリングにおける出力電圧$V_0$の関係は以下のようになります．

$$V_{0n+1} = V_{0n} + \frac{C_1}{C_0} V_R \quad \cdots\cdots(1)$$

$V_0$は動作1回につき第2項の電圧が加算され，積分応答を示すことが確かめられます．この式は，電荷保存則を用い，OPアンプの利得が十分に大きいという条件で導けます．

比較器出力が論理‘0’のときは，まず極性スイッチを$V_{COM}$に接続します．次にクロック・スイッチが切り替わるときに極性スイッチを$V_R$側に倒せば，出力は式(1)の$V_R$が$-V_R$に置き換わる変化になります．

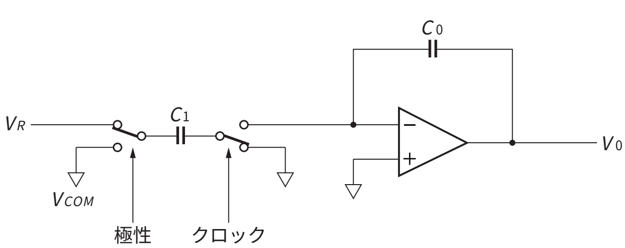



**図6　スイッチト・キャパシタ・ミラー積分器**

**Δ変調器の1ビットD-Aコンバータと積分器の作用を実現する例．$C_0$と$C_1$の比は1000倍以上と大きくなる問題がある．**

これらの動作では，1クロック周期で一定電圧$\Delta = V_R C_1/C_0$だけ増減します．この電圧が量子化ステップ電圧となり，量子化ノイズ量を規定します．同時に，この回路が追従できる信号の1クロック周期あたりの入力信号の変化量の上限も規定します．クロック周波数を$f$としたとき，$f \cdot \Delta$より急な変化では追いかけきれなくなるためです．これを超えることをスロープ・オーバロード(slope overload；傾斜過負荷)と言います．ですから，入力信号の周波数と目標とする$SN$比に合わせてサンプリング周波数とステップ・サイズを決める必要があります．1次のΔ変調器では，信号周波数の最大値をサンプリング周波数とすると，傾斜過負荷を生じないためには以下の関係が成立する必要があります．

$$2\pi f_s A < f_c \Delta \quad \cdots\cdots(2)$$

この変調器の入出力伝達特性は，入力を$X(z)$，出力を$Y(z)$，比較器でディジタル化するときに生じる量子化ノイズを$Q(z)$として，1サンプリング遅延を$z^{-1}$とすると，以下のようになります．

$$X(z) - Y(z)\frac{z^{-1}}{1-z^{-1}} + Q(z) = Y(z) \quad \cdots\cdots(3)$$

これを整理すると，次の式になります．

$$Y(z) = \left\{X(z) + Q(z)\right\}(1 - z^{-1}) \quad \cdots\cdots(4)$$

ここで，$1-z^{-1}$は連続する2回のサンプル値間の差を意味しますから，ディジタル出力は入力と量子化ノイズの和に対する差分になります．

この変換ループで，ループが追従できているときにはフィードバックは1増えるか1減るかなので，量子化誤差は$\pm\Delta$の範囲において等しい確率で分布すると期待されます．また，ナイキスト周波数内で均一に分布すると期待されます．ですから，量子化ノイズ$N^2$は以下のようになります．

$$N^2 = \frac{1}{2\Delta}\int_{-\Delta}^{\Delta} x^2 dx = \frac{\Delta^2}{3} \quad \cdots\cdots(5)$$

ナイキスト・レートA-Dコンバータでは，量子化誤差は$\pm\Delta/2$の範囲に分布し，量子化ノイズは$\Delta^2/12$なので，1ビットの量子化では誤差は2倍に増えています．もちろ

んΔ-Σ変調器でも，量子化器を複数ビットにすれば，誤差は±Δ/2となり，量子化ノイズは$\Delta^2/12$になります．

再生するときは，このデータを積分器に通します．積分器の応答特性は，以下の式で表されます．

$$H(z)=\frac{1}{1-z^{-1}} \quad \cdots\cdots(6)$$

出力$X^*$は次のように入力信号と量子化ノイズの和になります．

$$X^*(z)=X(z)+Q(z) \quad \cdots\cdots(7)$$

ここで，量子化ノイズはナイキスト周波数まで均一に分布するので，信号帯域が狭ければ，信号帯域内ノイズはナイキスト周波数との比の割合で小さくなります．

信号帯域を$f_B$，サンプリング周波数を$f_C$，入力信号の最大振幅を$A$，量子化ステップ・サイズをΔとすると，再生された信号の$SN$比は，入力信号の実効値と式(5)で決まる量子化ノイズのうち，信号帯域内に含まれる部分の比となります．量子化ノイズがナイキスト周波数まで均一に分布すると仮定すると，以下の式で表されます．

$$(S/N)_{\max}=\frac{A^2}{2}\Big/\left(\frac{\Delta^2}{3}\frac{2f_B}{f_S}\right)=\frac{3\pi}{2}\left(\frac{f_c}{2\pi f_B}\right)^3 \quad \cdots\cdots(8)$$

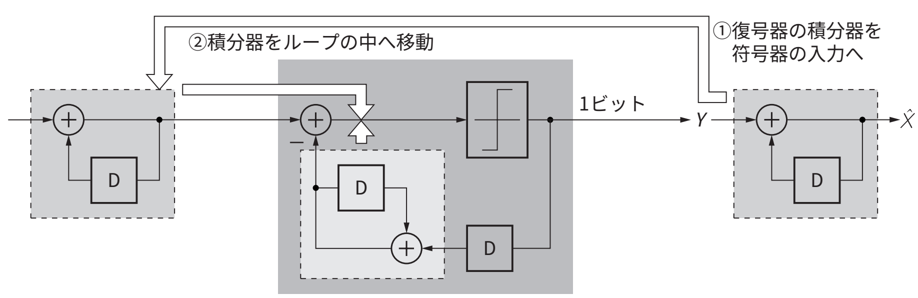
実際には量子化ノイズの周波数分布が均一ではなくなる場合もあり，くふうが必要になることがあります．なお，式(8)では，傾斜過負荷の式(2)を用いてΔの消去を行っています．

## ● Δ-Σ変調器へ改良

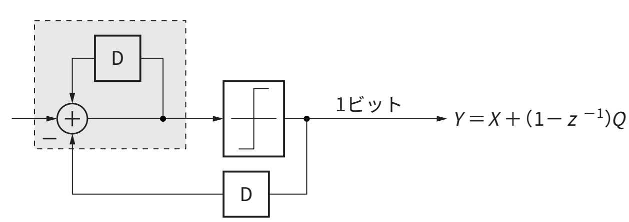
$Y(z)$は信号の差分の形です．もし直流信号が入力されると，入力が変化した瞬間には変化に応じて‘1’または‘0’が連続して出力されることになります．そして，積分器の出力がほぼ入力電圧に達したあとは，交互に‘1’，‘0’のコードが出力されることになります．そのため，再生側の積分器の初期値が送信側の初期値と一致していなければ，出力電圧は異なってしまいます．音声などの交流信号だけを扱うときは，積分容量と並列に抵抗を接続するなどして，積分器にリークを与えます．これで直流分が時間とともに減衰するため，初期値の影響を減らすことができます．しかし，直流成分も送りたいときには困ります．

Δ変調器のディジタル出力は入力信号を微分したものなので，入力を積分した信号をΔ変調すればディジタル出力は入力信号と同じになるはずだとして考案されたものがΔ-Σ変調器です．これを表した回路を**図7**に示します．

**図7(a)**は信号入力に積分回路を付加した状態です．しかし，このまま入力信号に直流電圧が印加されると，積分結果は単調に増加して，回路はいつか出力電圧範囲を超えて飽和してしまいます．積分回路は入力側にもフィードバック側にもあるので，この二つを加算点のあとに移しても，入出力特性は変わらないはずです．このようにしてできた



(a) 1次予測Δ変調器



(b) 1次Δ-Σ変調器

**図7**
**Δ変調器からΔ-Σ変調器へ**
Δ変調器の出力コードは微分符号の性質になる．Δ変調器の前に積分器を設けると，再生側に積分器が不要となる．入力の積分器とフィードバック積分器を信号の差を取ったあとに移動させて一つにまとめても，入力から出力への応答特性は変わらない．このようにしてΔ-Σ変調器の信号線図ができる．

のが**図7(b)**の1次$\Delta$-$\Sigma$変調器です．この回路では入力信号だけの積分結果は回路上に現れないので，飽和することはなくなります．

量子化に際して量子化ノイズ$Q(z)$が加わるというモデルでこの回路の伝達特性を式にすると，以下のようになります．

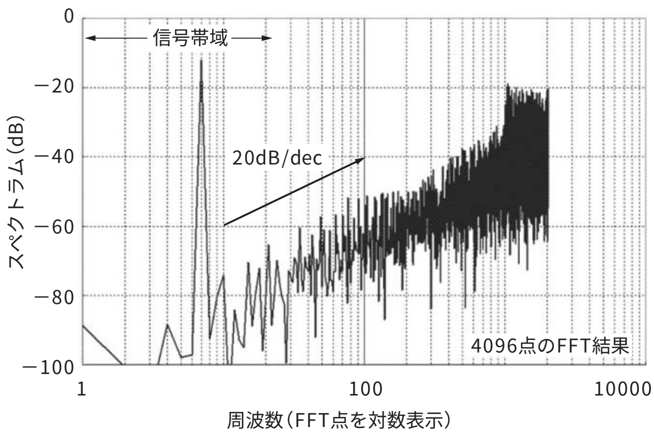



**図9　1次Δ-Σ変調器の出力スペクトラム**

**4096サンプリングで正弦波7周期を変換したデータをFFTしたスペクトラム．横軸は対数表示した周波数に相当し，縦軸は対数表示したスペクトラム強度である．周波数が1けた高くなると，ノイズは20dB増加する．このノイズは量子化ノイズ．**

$$\left(X(z)+z^{-1}Y(z)\right)\frac{1}{1-z^{-1}}+Q(z)=Y(z) \quad \cdots\cdots\cdots\cdots(9)$$

これを整理すると，次の式になります．

$$Y(z)=X(z)+(1-z^{-1})Q(z) \quad \cdots\cdots\cdots\cdots(10)$$

出力データは，入力信号と，連続する2サンプリングにおける量子化ノイズの差との和となっていることになります．

**図7(a)**の回路を動作させたときの内部波形を**図8**に示します．**図8**の信号は，上から**(a)**入力信号，**(b)**入力信号を積分した波形とフィードバック積分回路の出力波形，**(c)**この二つの信号の差分になる量子化器の入力波形，**(d)**出力符号です．出力符号の出かたは，入力積分器の出力波形と比較すると，信号が増加するときは‘1’が多く出力され，減少するときは‘0’が多く出力されています．つまり，$\Delta$変調器のふるまいと同じであることがわかります．入力信号と比較すると，入力電圧が高いときに‘1’が多く出力され，低いときに‘0’が多く出力されています．ですから，$\Delta$-$\Sigma$変調器は入力電圧に対してパルスを密度変調したようになっています．

量子化ノイズも差分になっているはずですから，出力パ

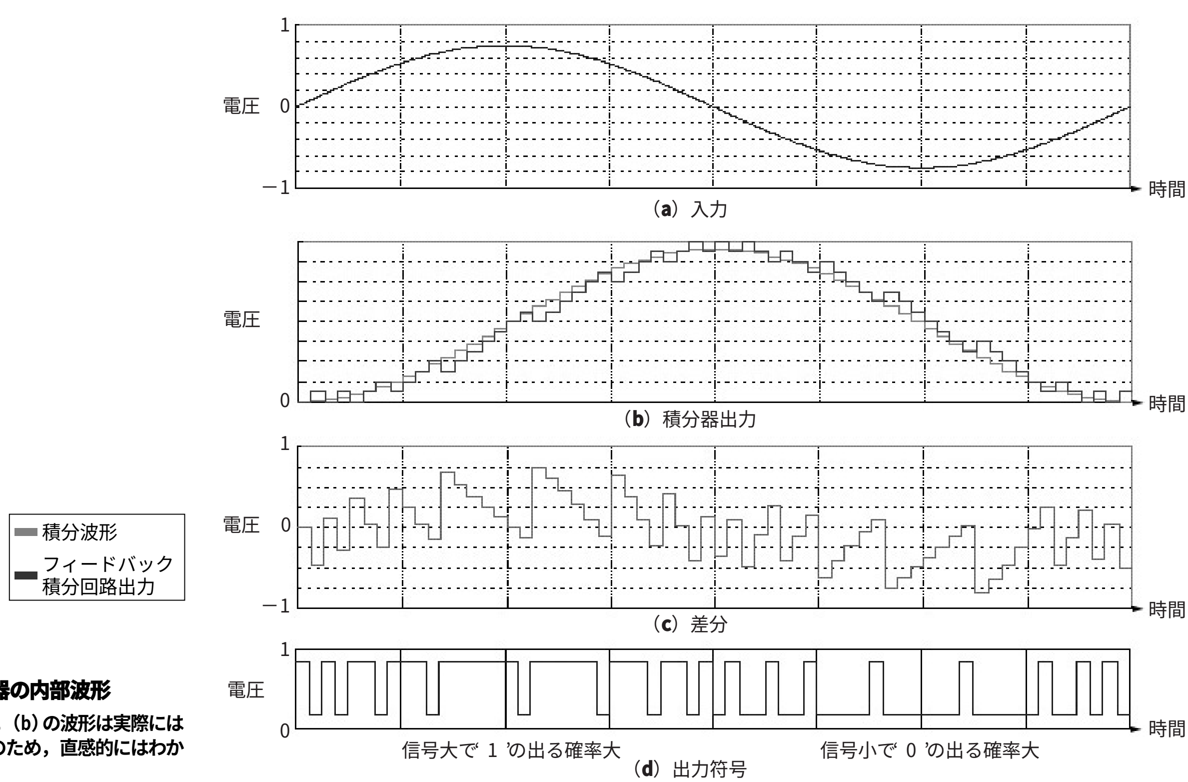



**図8**
**1次Δ-Σ変調器の内部波形**

**Δ-Σ変調器では，(b)の波形は実際には存在しない．そのため，直感的にはわかりにくくなる．**

ルスのスペクトラムを見てみましょう．周波数が高くなるほどノイズは増えるはずです．**図9**は4096サンプリングの期間で7周期になる周波数の正弦波を入力し，出力パルスをFFT（高速フーリエ変換）した結果です．入力振幅は量子化ステップ電圧の0.5です．横軸は周波数軸で，対数表示しています．ノイズ・スペクトラムが，周波数10倍で20dB増加する特性（20dB/dec）を示しています．ですから，ローパス・フィルタで高い周波数成分を減衰させれば高い$SN$比が得られる，と予想できるでしょう．

式(10)の信号に含まれる帯域内ノイズ$N^2$は，$Q(z)$を白色ノイズ（white noise）注4とし，信号帯域内$2\pi f_{max}/f_S$を$\theta$とすると，以下の式で表されます．

$$\overline{N}^2 = |Q(\omega T)|^2 \frac{1}{2\pi}\int_{-\theta}^{\theta}|H(\omega T)|^2 d(\omega T) \quad \cdots\cdots(11)$$

$|Q(\omega T)|^2$を$\Delta^2/3$，$H(\omega T)$を$1-z^{-1}$，$z^{-1}$を$e^{-j\omega T}$とおいて計算すると，次のようになります．

$$\overline{N}^2 = \frac{\Delta^2}{3}\frac{1}{2\pi}\int_{-\theta}^{\theta}4\sin^2(\omega T/2)\,d(\omega T)$$

$$= \frac{\Delta^2}{3}\frac{2}{\pi}(\theta - \sin\theta) \quad \cdots\cdots(12)$$

式(12)のカッコの中は，$\theta$が十分小さければ三角関数を展開して，次の式のように近似することができます．

$$\overline{N}^2 = \frac{\Delta^2}{9\pi}\theta^3 \quad \cdots\cdots(13)$$

一方，信号入力の最大値は$\pm\Delta$なので，信号の最大値$S^2$は以下のようになります．

$$S_{max}^2 = \frac{\Delta^2}{2} \quad \cdots\cdots(14)$$

したがって，信号対ノイズ比の最大値は次式になります．

$$(S/N)_{max} = \frac{9}{2}\pi\theta^{-3} \quad \cdots\cdots(15)$$

1次の$\Delta$-$\Sigma$変調器はオーバサンプル比の3乗に比例する$S/N$特性を持っています．3乗はオーバサンプリングの世界では効率が悪いのですが，あとに接続するディジタル・フィルタのカットオフ特性はなだらかですみます．サンプリング・レートの遅い積分型A-Dコンバータの置き換えでは，フィルタをアップ・ダウン・カウンタですますことも可能です．ハードウェア量が積分型A-Dコンバータと変わらず，積分容量を簡単に内蔵できるので有利です．

$\Delta$-$\Sigma$変調器の積分器をスイッチト・キャパシタで構成した一例を**図10**に示します．$\Delta$変調器の積分器に信号入力とフィードバック積分のステップ・サイズを入力する二つの入力端子を独立のサンプリング容量として追加しています．この回路では，$C_1$を入力信号のサンプリングに用い，$C_2$を量子化ステップの入力に用います．この回路は，入力信号をサンプリングする周期と入力とフィードバック信号の差分を積分する周期の二つの周期で動作します．設計に際しては，スイッチがON-ONとならないようにタイミングに気をつける必要があります．積分周期の終わりに比較器を動作させ，A-D変換を行います．

まず，入力サンプリング周期には，$S_{11}$を入力信号に接続し，$S_{12}$を接地することで，容量に$-C_1V_{in}$のチャージをサンプリングします．一方，前回の比較結果が‘1’，すなわち比較器入力$V_{0n}$が正であったとすると，積分回路は反転出力なので，積分器入力点では負となっており，正電荷を供給しなければならないことになります．そこで，$C_2$は$S_{21}$，$S_{22}$ともに接地側に接続します．すると，$C_2$に蓄えられている電荷は0です．次に$S_{12}$と$S_{22}$をOPアンプの入力側に倒すと同時に$S_{11}$も接地側に倒します．また，$S_{21}$は基準電圧に倒します．すると，$S_{11}$の電位は入力電圧から接地電圧に変化します．また，$S_{21}$は接地電圧から基準電圧$V_{ref}$に変化するので，$C_2$を介して正電荷が供給されます．その結果，積分器の出力電圧は次のようになり，信号に比

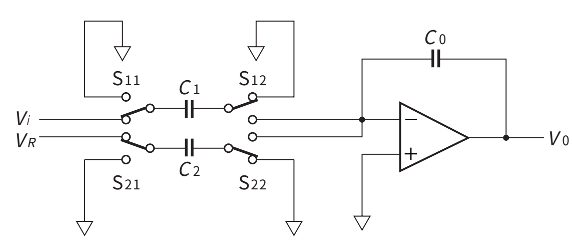



**図10　Δ-Σ変調器に用いるスイッチト・キャパシタ積分回路**
信号入力とフィードバックを分けたときのΔ-Σ変調器に用いるシングルエンディッドの積分回路．高い$SN$比を実現する場合は入力回路を2組設け，バランス型の構成にする．

注4：注目している周波数範囲で，周波数によらず一定の電力密度で分布するノイズを白色ノイズと呼ぶ．白色ノイズの典型例として，抵抗が発生させる熱ノイズと，ダイオードがpn接合を順方向に流れるときに生じるショット・ノイズがある．なお，周波数に幅を持って分布するノイズをピンク・ノイズと呼ぶ．

例した電圧を加算するとともに，ステップ・サイズ分だけ減算されます．

$$V_{0n+1} = V_{0n} + \frac{C_1}{C_0} V_{in} - \frac{C_2}{C_0} V_{ref} \quad \cdots\cdots(16)$$

前のサンプリングの比較器出力が‘0’であったときには，入力をサンプリングするときに$S_{21}$を基準電圧に接続しておきます．そして，積分サイクルで接地側に接続します．すると，$S_{21}$は基準電圧から接地電圧に変化するので，積分器から電荷を取り去るように動作することになります．このとき，式(16)の右辺第3項の極性は正になります．ですから，比較結果により$S_{21}$のスイッチする順番を制御することで，$\Delta$-$\Sigma$変調器として動作させることができます．

**● 1次$\Delta$-$\Sigma$変調器を積分型A-Dコンバータとして用いる**

前の説明では，$S_{21}$の接続を入力サンプリング周期と積分周期で逆転することにしていました．これを，比較結果が‘0’となったときは接続を変化させないとして，比較器が‘1’を出力する回数をカウントすることにします．いま，$M$サンプリング期間カウントし，そのうち‘1’が$N$回出力されたとします．また，カウント開始時に，変調器は平衡状態にあったとし，カウント終了時にも平衡状態にあったとします．すると，出力の初期値を$V_{00}$，出力の最終値を$V_{0M}$とすると，以下のようになります．

$$V_{0M} - V_{00} = M\frac{C_1}{C_0} V_{in} - N\frac{C_2}{C_0} V_{ref} \quad \cdots\cdots(17)$$

左辺の誤差は初期状態の誤差と最終状態の誤差を表し，最大で±2カウント分あります．これを無視すると，次のようになり，積分型A-Dコンバータとして動作することになります．

$$V_{in} = \frac{N}{M}\frac{C_2}{C_1} V_{ref} \quad \cdots\cdots(18)$$

**● 積分器を増やして2次の$\Delta$-$\Sigma$変調器を構成**

1次$\Delta$-$\Sigma$変調器のノイズ伝達特性は積分器が1個だったので$(1-z^{-1})$でした．積分器を2個に増やせば，かっこの2乗になって，さらにノイズが高い周波数に偏ることを期待できると考えるのは自然でしょう．**図11**に2次の$\Delta$-$\Sigma$変調器の回路を示します．

信号入力から比較器までに積分器が2段ありますが，フィードバック部分に積分器をバイパスする経路が付加されています．これは，増幅段を2段持つOPアンプでも位相補償する必要があるのと同じ理由です．$\Delta$-$\Sigma$変調器でも積分器1個につき90°位相が回ります．2個で位相が180°回り，フィードバックがあると動作が不安定になってしまいます．これを防ぐために，積分器を1段バイパスする経路が付加されています．また，こうすることで，あとで導かれるように量子化ノイズの伝達特性が$(1-z^{-1})^2$になります．

**図12**に，この変調器にステップ・サイズの3/4の振幅を

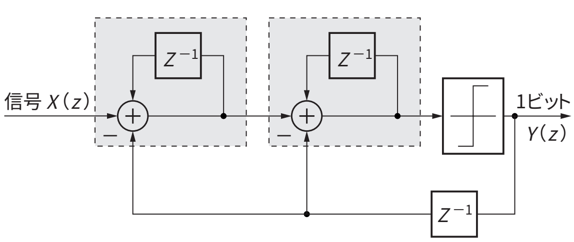
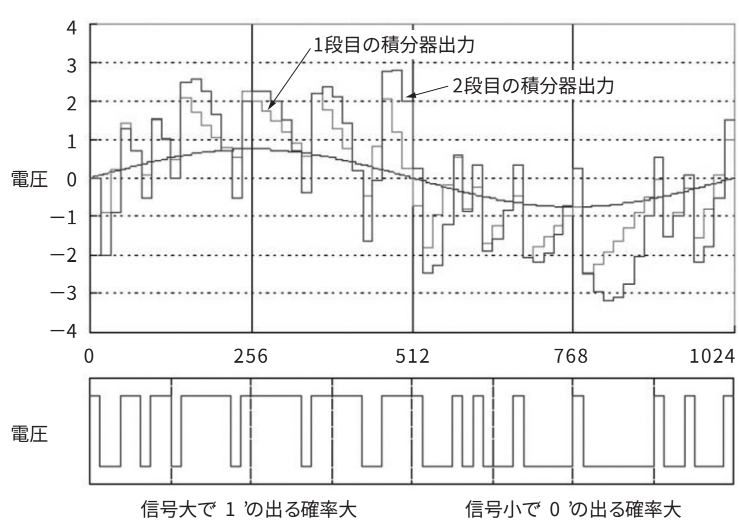



**図11　2次$\Delta$-$\Sigma$変調器**

積分器を2段にしてノイズ分布をより高周波に追いやる2次$\Delta$-$\Sigma$変調器の信号線図．フィードバックに積分器を1段バイパスする経路を設け，ループの安定化を図る．




**▶ 図12**
**2次$\Delta$-$\Sigma$変調器の内部波形**

入力信号と1段目および2段目の積分器出力を示している．1次$\Delta$-$\Sigma$変調器と同じように，入力電圧が高いときは‘1’を出力する割合が多くなり，低いときは‘0’を出力する割合が多い．ただし，その並びかたに違いがあり，そのために量子化ノイズのスペクトラム分布に違いが出る．

持つ正弦波を入力したときの2段の積分器出力波形とディジタル出力を示します．ディジタル出力は1次のときと同じように入力信号が大きいときは‘1’が出力される割合が多くなり，マイナスのときには‘0’が出力される割合が多くなります．

**図13**は，1次$\Delta$-$\Sigma$変調器のときと同じ条件で正弦波を入力し，出力パルスをFFTした結果です．入力振幅は，量子化ステップ電圧の0.5です．横軸は周波数軸で，対数表示しています．ノイズ・スペクトラムが周波数10倍で40dB増加する特性（40dB/dec）を示しています．

入力から出力まで伝達特性を書きくだすと，以下のようになります．

$$[\{(X(z)-z^{-1}Y(z)\}\frac{1}{1-z^{-1}}-z^{-1}Y(z)]\frac{1}{1-z^{-1}}$$

$$+Q(z)=Y(z) \quad \cdots\cdots(19)$$

これを整理すると次のようになり，量子化ノイズは2次差分の伝達特性になります．

$$Y(z)=X(z)+(1-z^{-1})^2Q(z) \quad \cdots\cdots(20)$$

帯域内の量子化ノイズは，1次の$\Delta$-$\Sigma$変調と同じようにして求めます．直流から信号帯域の上限$f_{max}$までの周波数に含まれる量子化ノイズ電圧は，式(20)における量子化ノイズ電圧$Q(z)$を$\Delta^2/3$，フィルタ特性$H(\omega T)$を$(1-z^{-1})^2$，サンプリング周波数で規格化した信号帯域$2\pi f_{max}/f_S$を$\theta$として，以下のようになります．

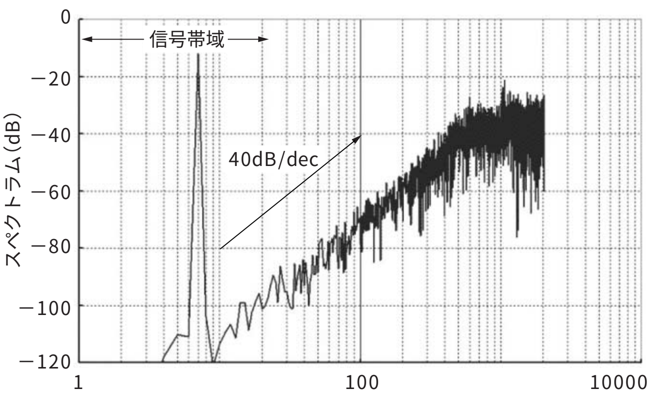



**図13　2次$\Delta$-$\Sigma$変調器の出力スペクトラム**

4096サンプリングで正弦波7周期を変換したデータをFFTしたスペクトラム．横軸は対数表示した周波数に相当し，縦軸は対数表示したスペクトラム強度である．周波数が1けた高くなるとノイズは40dB増加する．1次$\Delta$-$\Sigma$変調器よりノイズ分布がより高い周波数に移っている．

$$\overline{N}^2=\frac{\Delta^2}{3}\frac{1}{2\pi}\int_{-\theta}^{\theta}16\sin^4(\omega T/2)d(\omega T)$$

$$=\frac{\Delta^2}{3}\frac{2}{2\pi}\{6\theta-8\sin\theta+\sin(2\theta)\} \quad \cdots\cdots(21)$$

$$\cong\frac{\Delta^2}{3}\frac{\theta^5}{5\pi} \quad \theta<<1 \quad \cdots\cdots(22)$$

このように，オーバサンプリング比の5乗で帯域内量子化ノイズが減少します．ステップ・サイズ$\Delta$については，1次の$\Delta$-$\Sigma$変調器と同じように入力信号を打ち消すだけの振幅が必要なので，$\Delta \leqq A$となることが期待されます．したがって，$SN$比は正弦波の最大値と帯域内量子化ノイズの比をとって，次式のようになります．

$$(S/N)_{\max}=\frac{15\pi}{2}\theta^{-5} \quad \cdots\cdots(23)$$

例えば，128倍のオーバサンプリングを式(23)に当てはめると94.2dBとなって，16ビットの理論値である98dBに近い値となります．

### ● $\Delta$-$\Sigma$変調特性を実現する方法は多数ある

$\Delta$-$\Sigma$変調器を実現する回路は1種類ではなく，大きく分けて3種類あります．2次$\Delta$-$\Sigma$変調器について基本形を並べてみましょう．

**図11**の回路形式では，1サンプリングの間に信号を積分器2段分伝達しなければなりません．これが1段分で済めば，積分器を構成するOPアンプの信号帯域が低くて済み，消費電力を削減することができます．その回路の一つが**図14**に示す回路です．2段目の積分器は，1段目が1周期前に積分した電圧を処理することになります．その代わり比較器出力を2倍して2段目に伝えることで，伝達特性をほぼ同じにしています．

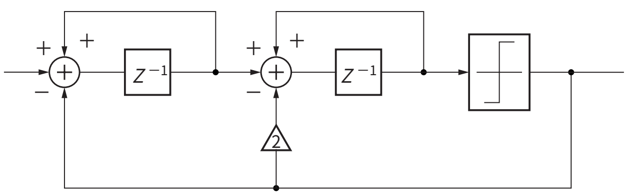



**図14　遅延付き2次$\Delta$-$\Sigma$変調器**

図11では，1サンプリングに入力信号とフィードバック信号の差が2段の積分器を通過しなければならなかった．この信号線図では1段通過すれば済むので，積分回路の応答特性が緩和され，低消費電力化を図ることができる．

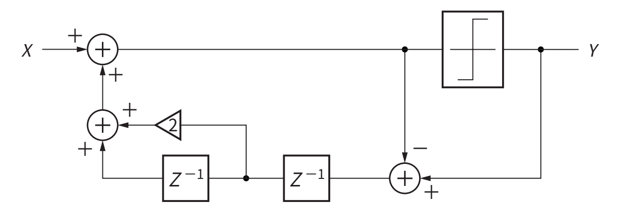



**図15　ノイズ・フィードバック型 Δ-Σ 変調器**

**比較器の入力と出力の差をフィードバックして Δ-Σ 変調特性を得た回路．加算器の数が1個少なくて済む特徴がある．**

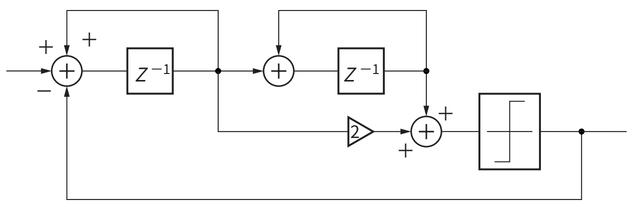



**図16　フィードフォワード型の Δ-Σ 変調器**

**系の安定化のための経路を信号経路側に設けた Δ-Σ 変調器．3次以上の Δ-Σ 変調器を設計するとき，ノイズ・シェイピング特性を数学的に合成する手法があり，その方法で合成された応答特性をハードウェア化するときに用いられる．**

伝達特性は以下のようになり，入力信号が2サンプリング・タイミングだけ遅れて出力される特性になっている点が異なります．

$$Y(z)=z^{-2}X(z)+(1-z^{-1})^2 \quad \cdots\cdots(24)$$

第2の方法は，量子化ノイズだけをフィードバックする手法です．**図15**がその回路です．この形式はディジタル Δ-Σ を作るとき，もっとも加算回数が少なくて済む方法です．主として D-A コンバータに用いられます．

伝達特性は次式となり，元の式とまったく等しくなります．

$$Y(z)=X(z)+(1-z^{-1})^2Q(z) \quad \cdots\cdots(25)$$

第3の方法は積分回路を縦続接続し，積分回路のタップ電圧を重み付け加算することで，伝達特性を合成する手法です．**図16**がその回路です．この形式では，ノイズの伝達特性を決めれば，信号線図への変換を容易に行えます．そのため，3次以上の Δ-Σ 変調器によく用いられます．

伝達特性は次式のようになり，2次微分の量子化ノイズ伝達特性が実現できます．

$$Y(z)=z^{-1}(2-z^{-1})X(z)+(1-z^{-1})^2Q(z) \quad \cdots\cdots(26)$$

なお，信号に対して，低い周波数ではほぼ1の利得ですが，周波数が高くなると最大約3倍の利得を持ちます．この程度の利得は，ディジタル・フィルタによって容易に減衰させることができますが，積分回路の信号振幅を大きくする可能性があるので，アナログ信号の飽和に対する注意が必要であると言われています．

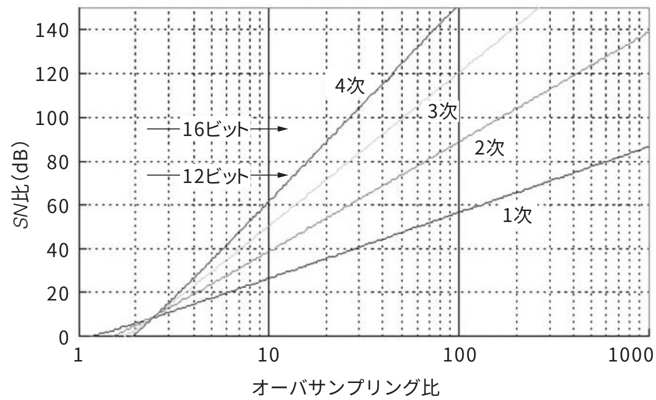



**図17　オーバサンプリング比と SN 比**

**ノイズ・シェイピングの次数と到達できる S/N 特性を示した指標．3次以上では系の安定化を図るために特性を少し犠牲にしなければならないので，この理論特性には達しないが，それに近い特性は得られる．**

## ● さらに高次の Δ-Σ 変調を構成する

2次の Δ-Σ 変調にすると，オーバサンプリング比の5乗で特性が改善します．さらにフィルタの次数を上げると，さらに効率が高くなると予想されます．ノイズの分布特性の次数をさらに高めたときの S/N 特性を**図17**に示します．横軸がオーバサンプリング比，縦軸が最大 SN 比です．確かにさらに効率が良くなることが期待できそうです．しかし，安定性の問題など，克服しなければならないさまざまな課題があります．

次回は Δ-Σ 変調器を高次化するうえでの問題と，実際のハードウェアを設計するうえでの問題を議論します．

**ゆかわ・あきら**
**NEC エレクトロニクス(株) コア開発事業部**

**<筆者プロフィール>**
**湯川 彰．NEC エレクトロニクス コア開発事業部で，主としてアナログ設計に関連する設計技術の効率化と，どのようなコアをどのように設計するかを検討しています．でも，最近はどの設計もアナログ的になり，関わらなければならない事がらがどんどん増えて困惑しています．本誌の編集者からは「初心者向けの記事を…」と言われていますが，筆者自身30年以上この世界にいるもので，「アナログ技術の一般常識と常識外の境界をどこに定めるか」の難しさを味わっています．**